

DIALOG(R)File 352:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

010156927    \*\*Image available\*\*

WPI Acc No: 95-058179/199508

XRAM Acc No: C95-026386

XRPX Acc No: N95-046055

**Thin film transistor manufacturing method - involving formation of anode  
oxide material over gate electrode, which is used as mask for ion  
implantation**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); KONUMA T (KONU-I);  
SUGAWARA A (SUGA-I); TSUJI T (TSUJ-I)

Inventor: KONUMA T; SUGAWARA A; TSUJI T

Number of Countries: 002   Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 6338612	A	19941206	JP 93301173	A	19931105	H01L-029/784	199508 B
US 5576231	A	19961119	US 94328826	A	19941025	H01L-021/336	199701
			US 95460775	A	19950602		
US 5619045	A	19970408	US 94328826	A	19941025	H01L-029/04	199720
			US 96677175	A	19960709		
US 5672900	A	19970930	US 94219378	A	19940329	H01L-029/76	199745
			US 96588677	A	19960119		
US 5747355	A	19980505	US 94219378	A	19940329	H01L-021/786	199825
			US 95455151	A	19950531		

Priority Applications (No Type Date): JP 9396667 A 19930330

Patent Details:

Patent	Kind	Lat Pg	Filing Notes	Application	Patent
JP 6338612	A	10			
US 5576231	A	13	Div ex	US 94328826	
US 5619045	A	14	Cont of	US 94328826	
US 5672900	A	7	Cont of	US 94219378	
US 5747355	A		Div ex	US 94219378	

Abstract (Basic): JP 6338612 A

The manufacturing method of a thin film transistor involves formation of a gate electrode (15) by a material in which anodic oxidation is possible. A mask material (16) is formed above the gate electrode. A porous anodised film (17) is formed with comparative

thickness on the sides of the gate electrode having comparatively low voltage. The mask material is then removed. An anode oxide layer (18) is then formed on the upper surface of the gate electrode with a comparatively high voltage. The gate electrode has the anode oxide on the side and the upper surface which is used as a mask. Impurity is introduced into the substrate to facilitate offset state.

**ADVANTAGE** - Controls generation of pin hole by disconnection. Increases production yield. Avoids disconnection of gate wiring in anodic oxidation.

Dwg.1/6

Title Terms: THIN; FILM; TRANSISTOR; MANUFACTURE; METHOD; FORMATION; ANODE; OXIDE; MATERIAL; GATE; ELECTRODE; MASK; ION; IMPLANT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/336; H01L-021/786; H01L-029/04; H01L-029/76; H01L-029/784

International Patent Class (Additional): H01L-027/01; H01L-027/088; H01L-031/036

File Segment: CPI; EPI

04666712 \*\*Image available\*\*

THIN-FILM TRANSISTOR AND MANUFACTURE THEREOF

PUB. NO.: **06-338612** [JP 6338612 A]

PUBLISHED: December 06, 1994 (19941206)

INVENTOR(s): KONUMA TOSHIMITSU

SUGAWARA AKIRA

TSUJI TAKAHIRO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company  
or Corporation), JP (Japan)

APPL. NO.: 05-301173 [JP 93301173]

FILED: November 05, 1993 (19931105)

INTL CLASS: [5] H01L-029/784; H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R097 (ELECTRONIC MATERIALS --  
Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS  
-- Ion Implantation)

ABSTRACT

PURPOSE: To provide a manufacturing method of a thin film transistor  
without deteriorating the characteristics and yield of the element as well  
as the structure of the TFT in order to manufacture the FET wherein a  
source, drain and gate electrodes are in offset state.

CONSTITUTION: A gate electrode 15 is formed of an anodic oxidizable  
material further to form a masking material 16 thereon. Firstly, relatively  
thick porous anode oxide films 17 are formed on both sides of the gate  
electrode 15 at relatively low voltage. Next, the masking material 16 is  
removed to form a minute anodic oxide 18 at least on the surface of the  
gate electrode 15 at relatively high voltage. Finally, an offset state can  
be brought about on a source, drain and gate electrodes by leading  
impurities into a semiconductor film using the gate electrode 15 having  
this anodic oxide 18 on the sides and surface thereof as a mask.

(51) Int.Cl. <sup>5</sup> H 01 L 29/784 21/336	識別記号 9056-4M 9056-4M	序内整理番号 H 01 L 29/ 78	F I	技術表示箇所 3 1 1 G 3 1 1 P
--	----------------------------	-------------------------	-----	------------------------------

審査請求 未請求 請求項の数8 FD (全10頁)

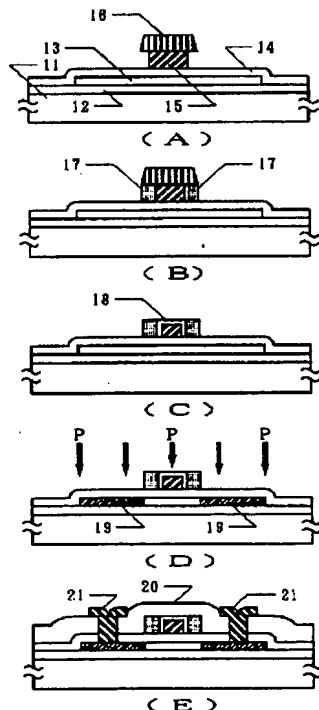
(21)出願番号 特願平5-301173	(71)出願人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22)出願日 平成5年(1993)11月5日	(72)発明者 小沼 利光 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(31)優先権主張番号 特願平5-96667	(72)発明者 菅原 彰 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(32)優先日 平5(1993)3月30日	(72)発明者 辻 隆博 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(33)優先権主張国 日本 (JP)	

## (54)【発明の名称】 薄膜トランジスタおよびその作製方法

## (57)【要約】 (修正有)

【目的】 ソース、ドレインとゲート電極がオフセット状態である薄膜トランジスタ(TFT)を作製する際に、素子の特性や歩留りを損なわずに生産する方法および、そのようなTFTの構造を提供する。

【構成】 ゲート電極15を陽極酸化可能な材料によって形成し、その上部にはマスク材16を形成する。そして、最初に比較的低い電圧によって多孔質な陽極酸化膜17をゲート電極の側面に比較的厚く形成する。次いで、マスク材を除去して、比較的高い電圧によって、緻密な陽極酸化物18を、少なくともゲート電極の上面に形成する。この陽極酸化物を側面および上面に有するゲート電極部をマスクとして、不純物を半導体被膜に導入することにより、オフセット状態とすることができる。



## 【特許請求の範囲】

【請求項 1】 基板上に形成された活性領域上にゲイト電極を有し、該ゲイト電極の側面および上面には、ゲイト電極の材料の陽極酸化物が存在し、側面に存在する陽極酸化物の厚さは、上面のものよりも厚いことを特徴とする薄膜トランジスタ。

【請求項 2】 基板上に形成された活性領域上にゲイト電極を有し、該ゲイト電極の側面および上面には、ゲイト電極の材料の陽極酸化物が存在し、側面に存在する陽極酸化物は、上面のものよりも多孔質であることを特徴とする薄膜トランジスタ。

【請求項 3】 基板上に形成された活性領域上にゲイト絶縁膜を形成する第1の工程と、

前記ゲイト絶縁膜上に、陽極酸化可能な第1の被膜および該被膜上にマスク材となる第2の被膜を形成する第2の工程と、

前記第1および第2の被膜をパターニングして、ゲイト電極とその上に存在するマスク材を形成する第3の工程と、

前記ゲイト電極に電流を通じて、ゲイト電極の主として側面に陽極酸化物を形成する第4の工程と、

前記マスク材を除去した後、ゲイト電極に電流を通じて、少なくともゲイト電極の上面に陽極酸化物を形成する第5の工程と、

前記第4および／または第5の工程によって得られた陽極酸化物とゲイト電極をマスクとして、活性領域に不純物を導入する第6の工程とを有することを特徴とする薄膜トランジスタの作製方法。

【請求項 4】 請求項3において、第1の被膜が、アルミニウムを主成分とする導電性材料であることを特徴とする薄膜トランジスタの作製方法。

【請求項 5】 請求項3において、第2の被膜が、感光性有機材料であることを特徴とする薄膜トランジスタの作製方法。

【請求項 6】 請求項3の第2の工程において、第1の被膜の形成後、その表面を酸化することを特徴とする薄膜トランジスタの作製方法。

【請求項 7】 請求項3の第6の工程の後、主として第4の工程によって得られた陽極酸化物を除去することを特徴とする薄膜トランジスタの作製方法。

【請求項 8】 基板上に形成された活性領域上にゲイト電極を有し、活性層中の少なくとも1種類の不純物注入領域が、ゲイト電極の側面に形成された多孔質な陽極酸化物によって直接、もしくは間接に画定されたことを特徴とする薄膜トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜状の絶縁ゲイト型電界効果トランジスタ（いわゆる薄膜トランジスタ、TFT）の構造およびその作製方法に関するものである。

## 【0002】

【従来の技術】 従来、薄膜型の絶縁ゲイト型電界効果トランジスタ（TFT）等の薄膜デバイスにおいては、ゲイト電極とソース、ドレイン領域とを重ならないようにして、オフセット状態とするとソースードレイン間のリーク電流を減らすことができる事が知られている。特にこのオフセットの幅は、サブミクロン程度の微妙な精度が要求された。例えば、オフセットの幅が0.5μm以上も変動すると、TFTの特性が全く変わってしまった。したがって、オフセットの大きさは0.1μm以下、好ましくは、500Å以下の精度で制御することが要求された。このような微妙な制御はもはや、フォトリソグラフィー工程においては制御できないものであった。

【0003】 この問題点に関しては、ゲイト電極を陽極酸化可能な材料によって形成し、これを陽極酸化することによって、その周囲に厚さ0.5μm以下の陽極酸化物を100Å以下の精度で形成し、これをマスクとして不純物を、イオンドーピング、イオン注入等の方法で導入することによってオフセット状態を得ることが提案されている。（特願平3-237100）

## 【0004】

【発明が解決しようする課題】 このような陽極酸化物を使用した従来の例を図2に示す。図2（A）および（C）は、その典型的なものである。図2（E）は、TFTを上方から見た様子を示したものであるが、図2（A）は図2（E）のA-A'断面（ゲイト電極に垂直な断面）を示し、図2（C）は図2（E）のB-B'断面（ゲイト電極に平行な断面）を示す。基板22、下地絶縁膜23上には活性領域（チャネル形成領域）および不純物領域（ソース、ドレイン）を有する島状の半導体被膜24が設けられ、さらに、ゲイト絶縁膜25が形成されている。そして、このゲイト絶縁膜上にゲイト電極26が設けられ、その周囲（上面および側面）には陽極酸化物27が設けられる。

【0005】 このようにゲイト電極の周囲を陽極酸化してから半導体被膜24に不純物を導入するので、図から明らかなように、不純物領域（図の斜線部）とゲイト電極は陽極酸化物の厚さxだけ離れた状態（オフセット状態）となっている。このようにゲイト電極の側面の陽極酸化物はオフセット状態とするために必要であった。また、上面はゲイト電極配線の上部配線との絶縁性を向上させるために必要であるので、陽極酸化物は緻密（無孔性）で抵抗率の高いものとする必要があった。

【0006】 一般にオフセットの大きさは大きければ大きいほど、ソースードレイン間のリーク電流が小さくなることが分かっていた。そこで、十分に低いリーク電流を得るために陽極酸化物の厚さを0.2μm以上、好ましくは0.4μm以上とすることが要求された。しかしながら、このような厚い陽極酸化物を得るには、高い陽

極酸化電圧が必要であった。従来は、0. 4 μmの厚さの無孔性の陽極酸化物を得るには400Vもの陽極酸化電圧が必要であったが、このときゲイト電極に印加された電圧の一部は半導体被膜24とゲイト電極26の間にかかり、ゲイト絶縁膜25の永久破壊や、界面準位密度の増加をもたらした。このため、歩留りおよび信頼性が低下した。

【0007】また、例えば、ゲイト電極がアルミニウムで構成されている場合、0. 4 μmの厚さの陽極酸化物は0. 2 μm程度の厚さのアルミニウムが酸化されるのであるが、このことはすなわち、ゲイト電極のアルミニウムの厚さを0. 2 μm以上、好ましくは0. 4 μm以上にしなければならないことを意味していた。例えば、初期のアルミニウム膜の厚さを0. 4 μmとし、陽極酸化物を0. 4 μmだけ形成したときには、図2(B)に示すように、厚さ0. 2 μmのアルミニウムゲイト電極が残され、結果的に、ゲイト電極と陽極酸化物の厚さは0. 6 μmとなる。一般的に、歩留りを上げるには、ゲイト配線等の段差を0. 5 μm以下とすることが望まれるが、上記の例では、これを越えてしまう。しかも、実質的な配線の高さは0. 2ミクロンであるので、抵抗が増大して、TFTの特性は劣化する。

【0008】特に、本発明人の観察によると、図2(D)に示す段差部9のような箇所においては、被膜の陽極酸化が著しく進展し、図に示すように、ほとんど全ての間に陽極酸化され、実質的に断線してしまうことがあった。本発明はこのような問題点に鑑みてなされたものであり、陽極酸化工程における最大の陽極酸化電圧を低くすることにより、TFTの信頼性、歩留りを向上させること、側面の陽極酸化物を選択的に成長させることによって、0. 2 μm以上、好ましくは0. 5 μm以上のオフセットを得ること、および、ゲイト電極と陽極酸化物の高さを可能な限り低くすることを課題とする。

#### 【0009】

【発明を解決するための手段】本発明は、陽極酸化物として、多孔質のものと、無孔質のものとの2種類を組み合わせることによって上記課題を解決する。すなわち、本発明では、ゲイト電極の側面に、比較的低い電圧で形成される多孔質の陽極酸化物を、0. 2 μm以上、好ましくは0. 5 μm以上形成し、一方、ゲイト電極の上面には、絶縁性の良好な無孔質の陽極酸化物を形成する。

【0010】多孔性の陽極酸化物は、3~20%のクエン酸もしくはシュウ酸、磷酸、クロム酸、硫酸等の水溶液中において、陽極酸化をおこなうことによって得られる。一方、無孔性の陽極酸化物は、3~10%の酒石酸、硼酸、硝酸等のエチレングリコール溶液等の有機溶媒を用いて陽極酸化をおこなうことによって得られる。ゲイト電極の上面に形成される無孔質の陽極酸化物は、可能な限り（上部配線との絶縁性が保たれる限り）薄い方が好ましく、0. 2 μm以下、好ましくは0. 1 μm

以下が望まれる。

【0011】このように、2種類の陽極酸化物を形成するには、ゲイト電極の上面にマスク材を形成し、この状態で最初に多孔質の陽極酸化物を形成し、続いて、マスク材を除去して、ゲイト電極の上面を中心として無孔質の陽極酸化物を形成すればよい。このような目的に用いるマスク材としては、陽極酸化の電圧に耐えることが必要で、例えば、ポリイミド等が適している。特に、フォトニース（感光性ポリイミド）やAZ1350等の感光性の材料であれば、ゲイト電極のパターニング時にこのマスク材を用いて、パターニングすればよい。また、通常のフォトリソグラフィー工程で用いられるフォトレジスト（例えば、東京応化製、OPPR800/30c）等では、絶縁性が不十分であるので、多孔質陽極酸化をおこなっていると、次第にレジストが剥離するという欠点があるが、これを解決するには、レジストの塗布前に、無孔質陽極酸化の条件で、厚さ50~1000 Åの酸化物被膜を形成しておけばよい。

【0012】本発明における多孔質陽極酸化物は特に処理しなくても用いることが可能であるが、側面の絶縁性を高めるためにいわゆる封孔処理をおこなってもよい。また、形成された陽極酸化物は最後まで残してもよいが、途中で除去してもよい。特にアルミニウムもしくはその合金の多孔質陽極酸化物は、磷酸、酢酸、硝酸の混酸を用いて容易にエッチングされる。そして、このエッチングでは多孔質陽極酸化物のみがエッチングされ、酸化珪素、シリコン、無孔質陽極酸化物等の材料は全くエッチングされない。また、アルミニウムとその合金はエッチングされるのであるが、本発明では、その上面と側面が無孔質陽極酸化物で被覆されているため損傷を受けない。もっとも、あまりに無孔質陽極酸化物が薄いと、エッチングされるので、無孔質陽極酸化物の厚さは200 Å以上、必要である。以下に実施例を示し本発明の構成を詳細に説明する。

#### 【0013】

##### 【実施例】

【実施例1】図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）11上にスパッタリング法によって厚さ2000 Åの酸化珪素の下地膜12を形成した。さらに、プラズマCVD法によって、厚さ500~1500 Å、例えば1500 Åの真性（I型）のアモルファスシリコン膜を堆積した。さらに、スパッタリング法によって厚さ200 Åの酸化珪素膜を、アモルファスシリコン膜上に堆積した。

【0014】そして、このアモルファスシリコン膜を窒素雰囲気中、550°Cで4時間アニールして結晶化させた。アニール後、シリコン膜をパターニングして、島状シリコン領域13を形成し、さらに、スパッタリング法によって厚さ1000 Åの酸化珪素膜14をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットと

して酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば250℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とした。

【0015】引き続いて、スパッタリング法によって、厚さ3000～5000Å、例えば4000Åのアルミニウム膜(1～3%のシリコンを含む)を堆積した。なお、この酸化珪素とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。さらに、このアルミニウム膜上に、スピンドルコート法によって厚さ1μm程度のフォトレジスト、Shipley社製AZ1350のごとき、耐圧性の良好なフォトレジストを形成した。そして、公知のフォトリソグラフィー法によって、ゲート電極15をパターニングした。ゲート電極上には、フォトレジストのマスク16が残存する。フォトレジストの代わりに、例えば、東レ製UR3800のような感光性ポリイミド(フォトニース)を用いても同様な効果が得られる。

(図1(A))

【0016】次に、基板を10%クエン酸水溶液に浸漬し、10～50V、例えば10Vの定電圧で10～50分、例えば30分陽極酸化をおこなうことによって、厚さ約3000Åの多孔質の陽極酸化物17を200Å以下の精度でゲート電極の側面に形成すことができた。他に、8%亜酸溶液中で、30～40Vの陽極酸化をおこなってよい。なお、ゲート電極の上面にはマスク材が存在していたので、陽極酸化はほとんど進行しなかった。(図1(B))

【0017】次に、マスク材を除去して、ゲート電極上面を露出させ、3%酒石酸のエチレングリコール溶液(アンモニアで中性にpH調整したもの)中に基板を浸漬し、これに電流を流して、1～5V/分、例えば4V/分で電圧を120Vまで上昇させて、陽極酸化をおこなった。この際には、ゲート電極上面のみならず、ゲート電極側面も陽極酸化されて、緻密な陽極酸化物18が厚さ1000Å形成された。この陽極酸化物の耐圧は50V以上であった。(図1(C))

【0018】次に、プラズマドーピング法によって、シリコン領域13にゲート電極をマスクとして不純物(磷)を注入した。ドーピングガスとして、フォスフィン( $\text{PH}_3$ )を用い、加速電圧を60～90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域19が形成された。(図1(D))

【0019】次に、上面からレーザー光を照射して、レーザーニールをおこない、ドーピングされた不純物を活性化した。レーザーとしては、KrFエキシマーレーザー(波長248nm、パルス幅30nsec)を用いたが、他に、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)、XeFエキシマーレーザー(波長353nm)等

を用いてもよい。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、例えば、250mJ/cm<sup>2</sup>とし、2～10ショット、例えば2ショット照射した。レーザー照射時には基板を200～300℃、例えば250℃に加熱しておいた。こうして不純物領域19を活性化した。

【0020】続いて、厚さ6000Åの酸化珪素膜20を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線21を形成した。最後に、1気圧の水素雰囲気で350℃、30分のアニールをおこなった。以上の工程によって薄膜トランジスタが完成した。(図1(E))

【0021】本実施例では、多孔質陽極酸化物17は最終的には除去されることはなかった。しかしながら、図に示すようにソース/ドレイン19とチャネル形成領域との境界には高い電圧がかかり、その結果、高速の電荷が発生することがあった。そして、多孔質陽極酸化物には多くのトラップ準位が存在するので、電荷をトラップし、TFTの特性に悪い影響を及ぼすことがあった。したがって、特に信頼性に注目するのであれば、多孔質陽極酸化物17は最終的には除去されることが望まれる。

【0022】図3には本実施例で得られたTFTと従来の方法(特願平3-237100に記述された方法)によって得られたTFTの特性を示す。従来の方法のものでは、陽極酸化は、3%酒石酸のエチレングリコール溶液(アンモニアで中性にpH調整したもの)中で、4V/分で電圧を220Vまで上昇させて、陽極酸化をおこなった。この結果、厚さ2000Åの陽極酸化物が形成され、オフセットは約2000Åであった。一方、本実施例によるものでは、オフセットは約4000Å(多孔質陽極酸化物3000Å+無孔質陽極酸化物1000Å)もあり、その結果、リーコ電流(I<sub>OFF</sub>)は極めて低く抑えられた。

【0023】また、陽極酸化の際にゲート絶縁膜に過大な電圧が印加されないため、ゲート絶縁膜の界面準位密度が小さく、そのため、TFTのサブスレッシュホールド特性(S値)が極めて小さく、この結果、図に示すような立ち上がりが急峻な特性が得られた。両TFTに長時間のバイアス電圧を印加して特性の劣化を調べたら、その差はさらに大きくなり、例えば、ソースを接地し、ゲートおよびドレインに25Vの電圧を100時間印加したところ、従来のTFTでは全く特性が得られなかったのに対して、本実施例のTFTでは、オン電流が20%減少し、リーコ電流が30%増加しただけであった。

【0024】【実施例2】図4に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)31上にスパッタリング法によって厚さ200Åの酸化珪素の下地膜32を形成した。さらに、プラズマCVD

法によって、厚さ200～1000Å、例えば500Åの真性（I型）のアモルファスシリコン膜を堆積し、これをパターニング、エッチングして、島状シリコン領域33を形成し、レーザー光（KrFエキシマーレーザー）を照射して、結晶化させた。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜34をゲイト絶縁膜として堆積した。

【0025】引き続いて、スパッタリング法によって、厚さ3000～8000Å、例えば4000Åのアルミニウム膜（0.1～0.3重量%のスカンジウムを含む）を堆積した。そして、基板を3%の酒石酸をアンモニアによって中和し、pH=7としたエチレンギリコール溶液中に浸し、10～30Vの電圧を印加することによって、アルミニウム膜の表面に厚さ100～400Åの薄い陽極酸化物を形成した。そして、このように処理したアルミニウム膜上に、スピントレジスト法によって厚さ1μm程度のフォトレジスト（例えば、東京応化製、OFPR800/30cp）を形成した。そして、公知のフォトリソグラフィー法によって、ゲイト電極35を形成した。ゲイト電極上には、フォトレジストのマスク36が残存する。（図4（A））

【0026】次に、基板を10%クエン酸水溶液に浸漬し、5～50V、例えば8Vの定電圧で10～500分、例えば200分陽極酸化をおこなうことによって、厚さ約5000Åの多孔質の陽極酸化物37を±200Å以下の精度でゲイト電極の側面に形成することができた。ゲイト電極の上面にはマスク材36が存在していたので、陽極酸化はほとんど進行しなかった。（図4（B））

【0027】次に、マスク材を除去して、ゲイト電極上面を露出させ、3%酒石酸のエチレンギリコール溶液（アンモニアで中性にpH調整したもの）中に基板を浸漬し、これに電流を流して、1～5V/分、例えば4V/分で電圧を100Vまで上昇させて、陽極酸化をおこなった。この際には、ゲイト電極上面のみならず、ゲイト電極側面も陽極酸化されて、緻密な無孔質陽極酸化物38が厚さ1000Å形成された。この陽極酸化物の耐圧は50V以上であった。（図4（C））

【0028】次に、ドライエッチング法によって、酸化珪素膜34をエッチングした。このエッチングにおいては、等方性エッチングのプラズマモードでも、あるいは異方性エッチングの反応性イオンエッチングモードでもよい。ただし、珪素と酸化珪素の選択比を十分に大きくすることによって、活性層33を深くエッチングしないようにすることが重要である。例えば、エッチングガスとしてCF<sub>4</sub>を使用すれば陽極酸化物37および38はエッチングされず、酸化珪素膜のみがエッチングされる。また、陽極酸化物の下の酸化珪素膜はエッチングされずにゲイト絶縁膜40として残った。

【0029】そして、プラズマドーピング法によって、

シリコン領域33にゲイト電極35および側面の多孔質陽極酸化物37をマスクとして不純物（燐）を注入した。ドーピングガスとして、フォスフィン（PH<sub>3</sub>）を用い、加速電圧を5～30kV、例えば10kVとした。ドーズ量は $1 \times 10^{14} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、N型の不純物領域39が形成された。（図4（D））

【0030】次に、燐酸、燐酸、酢酸、硝酸の混酸を用いて多孔質陽極酸化物37をエッチングし、無孔質陽極酸化物38を露出させた。そして、上面からレーザー光を照射して、レーザーアニールをおこない、ドーピングされた不純物を活性化した。本実施例では、レーザー照射において、ドーピングされた不純物領域とドーピングされていない領域の境界41にもレーザー光が照射されるので、従来、問題となっていた境界部での準位の発生を抑制することができた。（図4（E））

【0031】続いて、厚さ6000Åの酸化珪素膜42を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線43を形成した。最後に、1気圧の水素雰囲気で350℃、30分のアニールをおこなった。以上の工程によって薄膜トランジスタが完成した。なお、本実施例ではオフセット幅xは、多孔質陽極酸化物の幅5000Åに、無孔質陽極酸化物の厚さ1000Åを加えた約6000Åであった。（図4（F））

【0032】【実施例3】図5に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）51上に厚さ2000Åの酸化珪素の下地膜52と厚さ200～1500Å、例えば800Åの真性（I型）の結晶性シリコンの島状領域53、および島状シリコン領域を覆って、厚さ1000Åの酸化珪素膜54を形成した。

【0033】引き続いて、スパッタリング法によって、厚さ3000～8000Å、例えば6000Åのアルミニウム膜（0.1～0.3重量%のスカンジウムを含む）を堆積した。そして、実施例2と同様にして、アルミニウム膜の表面に厚さ100～400Åの薄い陽極酸化物を形成した。そして、このように処理したアルミニウム膜上に、スピントレジスト法によって厚さ1μm程度のフォトレジストを形成した。そして、公知のフォトリソグラフィー法によって、ゲイト電極55を形成した。ゲイト電極上には、フォトレジストのマスク56が残存する。（図5（A））

【0034】次に、基板を10%シュウ酸水溶液に浸漬し、5～50V、例えば8Vの定電圧で10～500分、例えば200分陽極酸化をおこなうことによって、厚さ約500Åの多孔質の陽極酸化物57をゲイト電極の側面に形成した。ゲイト電極の上面にはマスク材5

6が存在していたので、陽極酸化はほとんど進行しなかった。(図5 (B))

【0035】次に、マスク材を除去して、ゲイト電極上面を露出させ、3%酒石酸のエチレングリコール溶液(アンモニアで中性にpH調整したもの)中に基板を浸漬し、これに電流を流して、1~5V/分、例えば4V/分で電圧を100Vまで上昇させて、陽極酸化をおこなった。この際には、ゲイト電極上面のみならず、ゲイト電極側面も陽極酸化されて、緻密な無孔質陽極酸化物58が厚さ1000Å形成された。この陽極酸化物の耐圧は50V以上であった。(図5 (C))

【0036】次に、ドライエッティング法によって、酸化珪素膜54をエッティングした。このエッティングにおいては、陽極酸化物37および38はエッティングされず、酸化珪素膜のみがエッティングされた。また、陽極酸化物の下の酸化珪素膜はエッティングされずにゲイト絶縁膜59として残った。(図5 (D))

次に、燐酸、燐酸、酢酸、硝酸の混酸を用いて多孔質陽極酸化物57をエッティングし、無孔質陽極酸化物58を露出させた。そして、プラズマドーピング法によって、シリコン領域33にゲイト電極35および側面の多孔質陽極酸化物37をマスクとして不純物(燐)を注入した。ドーピングガスとして、fosfphin(PH<sub>3</sub>)を用い、加速電圧を5~30kV、例えば10kVとした。ドーズ量は $1 \times 10^{14} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。

【0037】このドーピング工程においては、ゲイト絶縁膜59で被覆されていない領域60には高濃度の燐が注入されたが、ゲイト絶縁膜59で表面の覆われた領域61においては、ゲイト絶縁膜が障害となって、ドーピング量は少なく、本実施例では、領域60の0.1~5%の不純物しか注入されなかった。この結果、N型の高濃度不純物領域60および低濃度不純物領域61が形成された。(図5 (E))

【0038】その後、上面からレーザー光を照射して、レーザーニールをおこない、ドーピングされた不純物を活性化した。続いて、厚さ6000Åの酸化珪素膜62を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTのソース領域、ドレイン領域の電極・配線63を形成した。最後に、1気圧の水素雰囲気で350℃、30分のアニールをおこなった。以上の工程によって薄膜トランジスタが完成した。(図5 (F))

【0039】本実施例では、いわゆる低濃度ドレイン(LDD)構造と同じ構造を得ることができた。LDD構造はホットキャリヤによる劣化を抑制するうえで有効であることが示されているが、本実施例で作製したTFTでも同じ効果が得られた。しかしながら、公知のLDDを得るプロセスに比較すると、本実施例では1回のド

ーピング工程によって、LDDが得られることに特徴がある。また、本実施例では多孔質陽極酸化物57によって画定されたゲイト絶縁膜59を利用してすることによって高濃度不純物領域60が画定されていることに特徴がある。すなわち、最終的には多孔質陽極酸化物57によって、間接的に不純物領域が画定されるのである。そして、本実施例で明らかのように、LDD領域の幅xは、実質的に多孔質陽極酸化物の幅によって決定される。

【0040】本実施例、あるいは先の実施例2で示したTFTの作製方法を用いて、より高度な集積化を実行することができる。そして、その際には、TFTの必要とされる特性に応じてオフセット領域あるいはLDD領域の幅xを変化させるとより都合がよい。図6には、1枚のガラス基板上にディスプレーから、CPU、メモリーまで搭載した集積回路を用いた電気光学システムのブロック図を示す。

【0041】ここで、入力ポートとは、外部から入力された信号を読み取り、画像用信号に変換し、補正メモリーは、アクティブマトリクスパネルの特性に合わせて入力信号等を補正するためのパネルに固有のメモリーである。特に、この補正メモリーは、各画素固有の情報を不揮発性メモリーとして融資、個別に補正するためのものである。すなわち、電気光学装置の画素に点欠陥のある場合には、その点の周囲の画素に合わせて補正した信号を送り、点欠陥をカバーし、欠陥を目立たなくする。または、画素が周囲の画素に比べて暗い場合には、その画素により大きな信号を送って、周囲の画素同じ明るさとなるようにするものである。CPUとメモリーは通常のコンピュータのものと同様で、特にメモリーは各画素に対応した画像メモリーをRAMとして持っている。また、画像情報に応じて、基板を裏面から照射するバックライトを変化させることもできる。

【0042】そして、これらの回路のそれぞれに適したオフセット領域あるいはLDD領域の幅を得るために、3~10系統の配線を形成し、個々に陽極酸化条件を変えられるようにすればよい。典型的には、アクティブマトリクス回路においては、チャネル長が10μmで、LDD領域の幅は0.4~1μm、例えば、0.6μm。ドライバーにおいては、Nチャネル型TFTで、チャネル長8μm、チャネル幅200μmとし、LDD領域の幅は0.2~0.3μm、例えば、0.25μm。同じくPチャネル型TFTにおいては、チャネル長5μm、チャネル幅500μmとし、LDD領域の幅は0~0.2μm、例えば、0.1μm。デコーダーにおいては、Nチャネル型TFTで、チャネル長8μm、チャネル幅10μmとし、LDD領域の幅は0.3~0.4μm、例えば、0.35μm。同じくPチャネル型TFTにおいては、チャネル長5μm、チャネル幅10μmとし、LDD領域の幅は0~0.2μm、例えば、0.1μmとすればよい。さらに、図6における、CPU、入力ポ

ート、補正メモリー、メモリーのN TFT、PTFTは高周波動作、低消費電力用のデコーダーと同様にLDD領域の幅を最適化すればよい。かくして、電気光学装置74を絶縁表面を有する同一基板上に形成することができた。

【0043】本発明においては、高抵抗領域の幅を2～4種類、またはそれ以上に用途によって可変することを特徴としている。また、この領域はチャネル形成領域と全く同じ材料、同じ導電型であるという必要はない。すなわち、N TFTでは、微量にN型不純物を、また、PTFTでは微量にP型不純物を添加し、また、選択的に炭素、酸素、窒素等を添加して高抵抗領域を形成することもホットキャリヤによる劣化と信頼性、周波数特性、オフ電流とのトレードオフを解消する上で有効である。

【0044】

【発明の効果】実施例で詳細に述べたように、本発明のTFTは従来の方法によるTFTに比較して、信頼性、特性の両面で優れている。さらに、ゲート電極と陽極酸化物の高さが抑制されているために、段差によるピンホールや断線の発生が少なく、よって高い歩留りが得られる。また、陽極酸化中のゲート配線の断線も皆無である。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

【図1】 実施例におけるTFTの作製工程図を示

す。(実施例1)

【図2】 従来のTFTの例および問題点を示す。

【図3】 実施例1および従来法によるTFTの特性の例を示す。

【図4】 実施例におけるTFTの作製工程図を示す。(実施例2)

【図5】 実施例におけるTFTの作製工程図を示す。(実施例3)

【図6】 集積化された回路のブロック図を示す。(実施例3)

【符号の説明】

1 1 … 基板 (コーニング7059)

1 2 … 下地絶縁膜 (酸化珪素)

1 3 … 島状半導体領域 (シリコン)

1 4 … ゲート絶縁膜 (酸化珪素)

1 5 … ゲート電極 (シリコンドープされたアルミニウム)

1 6 … マスク材 (AZ1350)

1 7 … 多孔質陽極酸化物 (酸化アルミニウム)

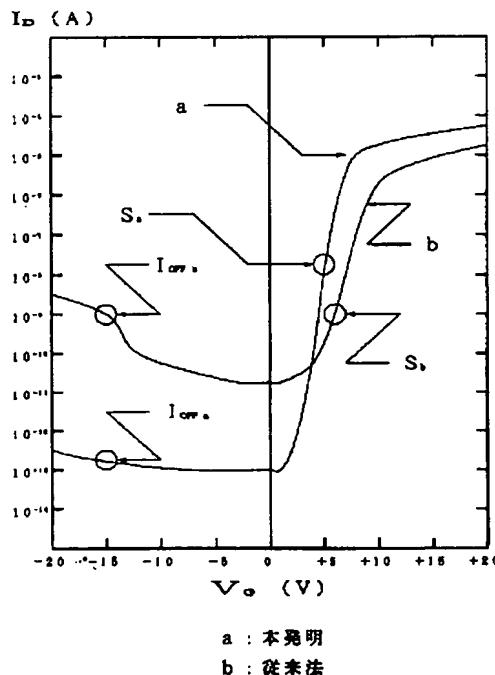
1 8 … 無孔質陽極酸化物 (酸化アルミニウム)

1 9 … 不純物領域 (ソース、ドレイン)

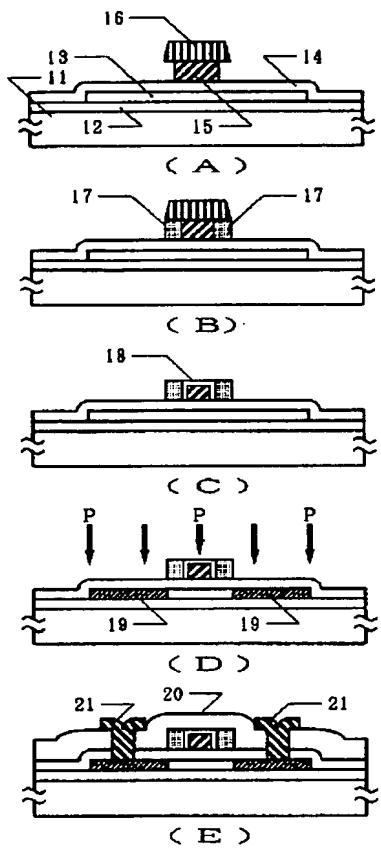
2 0 … 層間絶縁物 (酸化珪素)

2 1 … 金属配線・電極 (窒化チタン、アルミニウム)

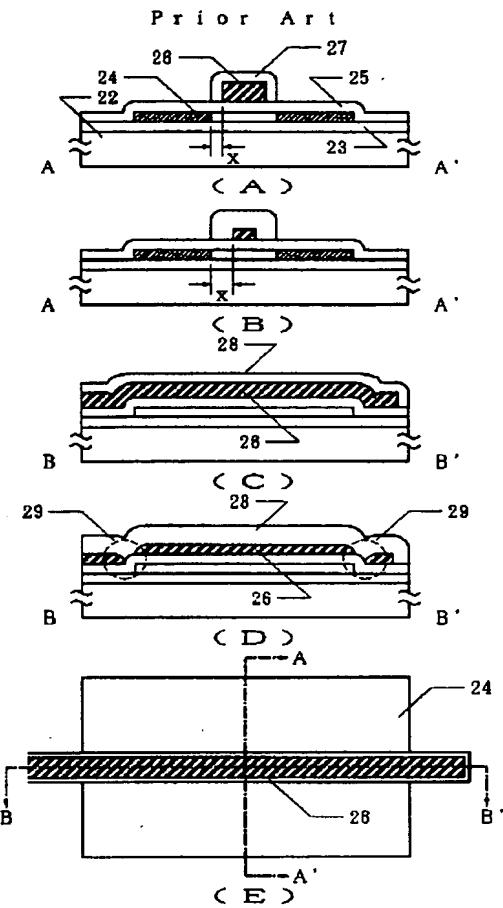
【図3】



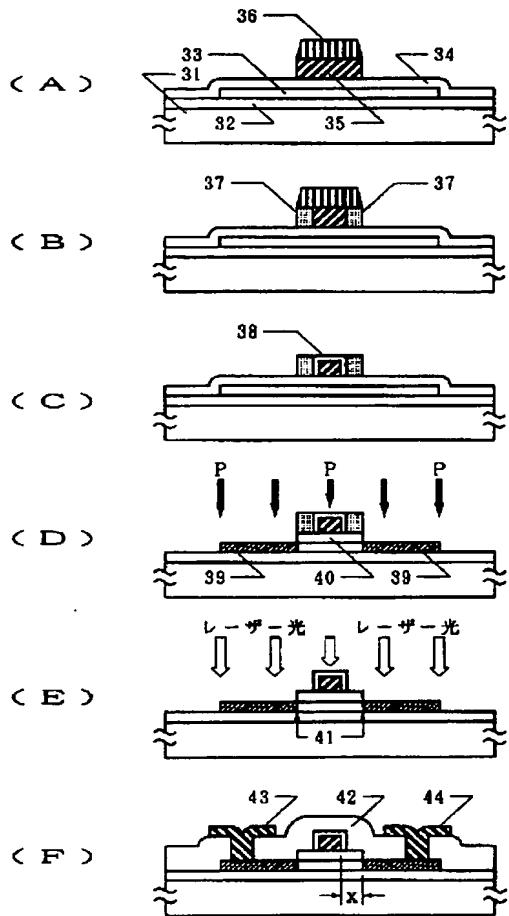
【図1】



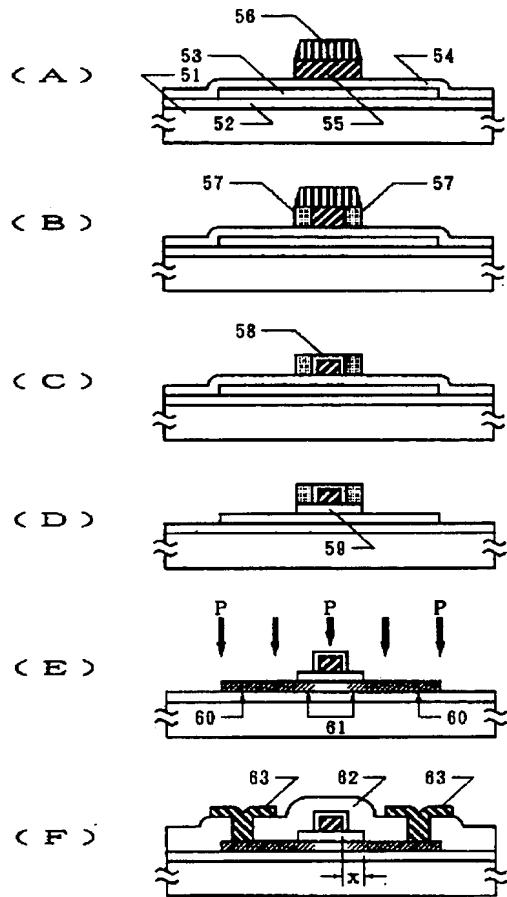
【図2】



【図4】



【図5】



【図6】

